

- EPODOC / EPO

PN - JP1255234 A 19891012
PD - 1989-10-12
PR - JP19880083802 19880405
OPD - 1988-04-05
TI - SEMICONDUCTOR DEVICE
IN - SHIBATA TAKASHI; USUDA OSAMU; WADA ISAMU
PA - TOKYO SHIBAURA ELECTRIC CO
IC - H01L21/60
CT - JP58212169 A []

- WPI / DERWENT

TI - Semiconductor device - having three layer structure for junction, damage protection, and strain relaxation NoAbstract

Dwg 1/2

PR - JP19880083802 19880405
PN - JP1255234 A 19891012 DW198947 003pp
PA - (TOKE) TOSHIBA KK
IC - H01L21/60
OPD - 1988-04-05
AN - 1989-343520 [47]

- PAJ / JPO

PN - JP1255234 A 19891012
PD - 1989-10-12
AP - JP19880083802 19880405
IN - SHIBATA TAKASHI; others: 02
PA - TOSHIBA CORP
TI - SEMICONDUCTOR DEVICE
AB -

PURPOSE: To obtain a semiconductor device damaging no semiconductor element on wire bonding by forming an electrode pad composed of an Al layer, etc., as a first layer, a V layer, etc., as a second layer and an Al layer, etc., as a third layer onto the semiconductor element and shaping a passivation film constituted of a specific member onto the electrode pad.

- CONSTITUTION: A semiconductor device has a semiconductor element 2, an electrode pad 7 formed onto the semiconductor element 2 and organized of an Al layer 4 or an Al alloy layer as a first layer, a V layer 5 or a V alloy layer or a Ti layer or a Ti alloy layer as a second layer and an Al layer 6 or an Al alloy layer as a third layer, and a passivation film 8 shaped onto the electrode pad 7 and constructed of a member having a linear expansion coefficient approximately the same as a member constituting said element 2. Consequently, the third layer 6 function as an adhesive layer with a copper wire 9, the second layer 5 as a damage preventive layer at the time of wire joining, and the first layer as a strain relaxation layer on wire bonding. The passivation film 8 contributes to the prevention of damage to the semiconductor element to positional displacement at the time of wire bonding.

I - H01L21/60

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平1-255234

⑬ Int. Cl.

H 01 L 21/60

識別記号

庁内整理番号

P-6918-5F

⑭ 公開 平成1年(1989)10月12日

審査請求 有 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭63-83802

⑰ 出 願 昭63(1988)4月5日

⑱ 発 明 者 柴 田 隆 兵庫県姫路市余部区上余部50番地 株式会社東芝姫路半導体工場内

⑲ 発 明 者 薄 田 修 兵庫県姫路市余部区上余部50番地 株式会社東芝姫路半導体工場内

⑳ 発 明 者 和 田 勇 兵庫県姫路市余部区上余部50番地 株式会社東芝姫路半導体工場内

㉑ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉒ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

半導体素子と、

上記半導体素子上に形成され、第1層目がアルミニウム層もしくはアルミニウム合金層、第2層目がバナジウム層もしくはバナジウム合金層あるいはチタン層もしくはチタン合金層、第3層目がアルミニウム層もしくはアルミニウム合金層で構成された電極パッドと、

上記電極パッド上に形成され線膨張係数が上記素子を構成する部材とほぼ等しい部材で構成されたパッシベーション膜と

を具備したことを特徴とする半導体装置。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

この発明は半導体装置、特に銅系のワイヤをボンディングワイヤとして用いる半導体装置の電

極の改良に関する。

(従来の技術)

トランジスタ、ダイオード等の個別半導体装置は、チップ上の半導体素子をリードフレーム上にダイボンディングし、かつチップ上の電極パッドに対して金属ワイヤをボンディングすることにより配線される。

第2図(a)はワイヤボンディングが行われる前の従来の半導体装置の断面図である。リードフレーム10上に半導体素子(チップ)11が接合されている。上記素子11には絶縁膜12が形成されており、この絶縁膜12の開口部にはアルミニウム層による電極パッド13が形成されている。さらにこの電極パッド13の周辺上にはリン・ケイ酸ガラス膜(PSG膜)からなるパッシベーション膜14が形成されている。このような電極パッド13上に第2図(b)に示すように例えば銅ワイヤ15がボンディングされる。

ところで、従来の装置では電極パッド13がアルミニウムによる層のみで構成されている。このため、

ワイヤボンディング時の圧力により、パッド13が変形し、銅ワイヤが直接、素子11に接合される恐れがある。このような場合には、接合部における電気的特性の劣化、長時間の使用による電気的特性の変動、等の致命的な不良が生じる。

さらに、ワイヤボンディング時に位置ずれが生じ、銅ワイヤ15がパッシベーション膜14に乗った状態でボンディングが行われると、銅ワイヤ15が硬いためにパッシベーション膜14が破壊されやすく、半導体素子11自体にダメージが発生してしまう。これは、パッシベーション膜14を構成するリン・ケイ酸ガラス膜と半導体素子11を構成するシリコンとの線膨脹係数が異なっているためであり、このような構成では、熱サイクルを繰返すことにより、半導体素子11自体にダメージやクラックが発生するという欠点がある。

(発明が解決しようとする課題)

従来の半導体装置の電極パッドの構成ではワイヤボンディング時の圧力により、電極パッドが変形して銅ワイヤが直接、半導体素子に接合され

る恐れがある。これにより、接合部における電気的特性の劣化、長時間の使用による電気的特性の変動、等の致命的な不良が生じる欠点がある。また、ワイヤボンディング時の位置ずれにより、銅ワイヤがパッシベーション膜に乗った状態でボンディングが行われると、従来のパッシベーション膜では、銅ワイヤによる破壊が生じやすく、半導体素子自体にもダメージを与えやすい。従って、熱サイクルを繰返すことにより、半導体素子自体にダメージやクラックが発生するという欠点がある。

この発明は上記事情を考慮してなされたもので、その目的は、ワイヤボンディング時に半導体素子にダメージを与えない半導体装置を提供することにある。

(発明の構成)

(課題を解決するための手段)

この発明の半導体装置は、半導体素子と、この半導体素子上に形成され、第1層目がアルミニウム層もしくはアルミニウム合金層、第2層目が

バナジウム層もしくはバナジウム合金層あるいはチタン層もしくはチタン合金層、第3層目がアルミニウム層もしくはアルミニウム合金層で構成された電極パッドと、この電極パッド上に形成され線膨脹係数が上記素子を構成する部材とはほぼ等しい部材で構成されたパッシベーション膜とから構成される。

(作用)

半導体素子の電極を3層構造にすることにより、ワイヤボンディング時において、3層目は銅ワイヤとの接合層、2層目は銅ワイヤ接合時のダメージ防止層、1層目は歪み緩和層として作用する。さらに、線膨脹係数を考慮したパッシベーション膜は、ワイヤボンディング時の位置ずれに対する半導体素子へのダメージ防止を図っている。

(実施例)

以下、図面を参照してこの発明を実施例により説明する。

第1図(a)はこの発明の半導体装置の断面図であり、ワイヤボンディングが行われる前のもの

である。リードフレーム1上に半導体素子(チップ)2が接合されている。上記素子2には絶縁膜3が形成されており、この絶縁膜3の開口部には第1層目がアルミニウム層4、第2層目がバナジウム層5、第3層目がアルミニウム層6で構成された電極パッド7が形成されている。さらにこの電極パッド7の周辺上にはシリコン窒化膜からなるパッシベーション膜8が形成されている。

上記3層構造の電極パッド7は蒸着法により形成し、厚さはそれぞれ、アルミニウム層4は0.3~2.0 μ m程度、バナジウム層5は0.1~1 μ m程度、そして、アルミニウム層6は0.5~3.5 μ m程度に形成する。一方、アルミニウム層6上のパッシベーション膜8(シリコン窒化膜)はプラズマCVD(化学気相成長)法により、厚さ0.5~1.6 μ m程度に形成する。このような工程後、半導体素子ごとにカットした後、リードフレーム1に接合する。

次に、上記電極パッド7上に第1図(b)に示すように例えば銅ワイヤ9がボンディングされる。

この工程では、上記リードフレーム1を200～450℃に加熱し、銅ワイヤ9が熱圧着もしくは超音波振動により、電極パッド7と接合される。このとき、図示のように最上層のアルミニウム層6は変形するが、バナジウム層5はほとんど変形しない。しかも、バナジウム層5下にはアルミニウム層3が一定厚さを維持しているため、接合時のダメージが緩和できる。また、ワイヤボンディング時に位置ずれを起こしても、パッシベーション膜8はシリコン窒化膜により形成され、線膨脹係数がシリコンとほぼ同一であるため、耐熱、耐衝撃性が従来のものより向上している。従って、半導体素子2に与えるダメージは大幅に減少される。

上記発明の半導体装置を従来のものと比較したテスト結果を述べる。同一条件で高温及び低温に対する熱サイクルテストを行った結果、従来の半導体装置では200回で約20%が不良となり、さらに400回では約40%が不良となったのに対し、この発明の半導体装置では400回でも不

良が発生しなかった。一方、電極パッド7と銅ワイヤ9を接合する際、ワイヤのボンディング位置を正常位置から50%ずらして接合した結果、従来の半導体装置では20～50%の電気的不良が発生したが、この発明の半導体装置の不良発生率は0.1%以下であった。さらに、高温高湿放置1000時間での電気的特性不良発生率を比較した結果、従来の半導体装置では70%程度であるのに対し、この発明の半導体装置では0.2%以下であった。

このように電極パッド7の構成をアルミニウム層4、バナジウム層5、アルミニウム層6の3層構造にすることによって、銅ワイヤ9接合時の半導体素子へのダメージの影響が大幅に減少する。しかも、電気抵抗は従来のものと比べてほとんど変わらない。また、パッシベーション膜8を形成するシリコン窒化膜は銅ワイヤ9のダメージ防止だけでなく、アルカリイオン等の外部汚染防止にも効果があるという利点がある。

なお、この発明は上記実施例に限定されるもの

ではなく種々の変形が可能であることはいうまでもない。上記実施例ではアルミニウム層の間に形成する金属層としてバナジウムを用いたが、この金属層はアルミニウムより硬く、しかも電気抵抗に影響のないものであればよく、例えばバナジウム合金、チタンもしくはチタン合金を用いてもよい。また、パッシベーション膜8もシリコン窒化膜に限定されるものではなく、例えば、炭化ケイ素や炭化ジルコニウムにより形成してもよい。

〔発明の効果〕

以上詳述したようにこの発明によれば、ワイヤボンディングによるダメージが少ない半導体装置が提供できる。

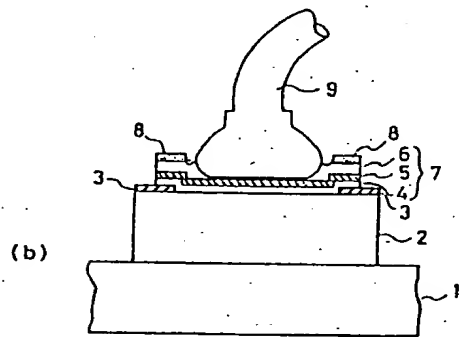
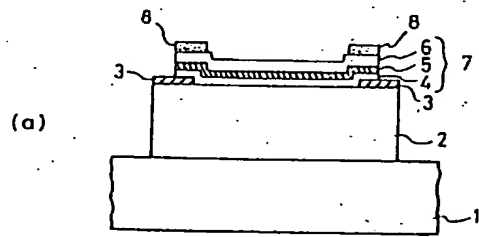
4. 図面の簡単な説明

第1図(a)及び(b)はこの発明にかかる半導体装置の断面図、第2図(a)及び(b)は従来の半導体装置の断面図である。

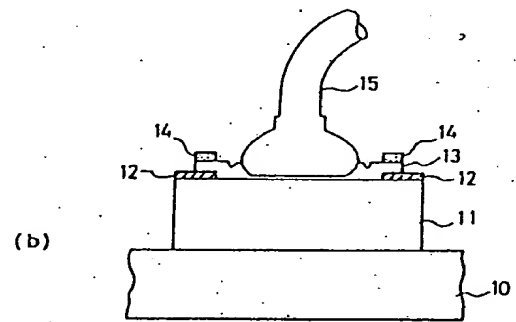
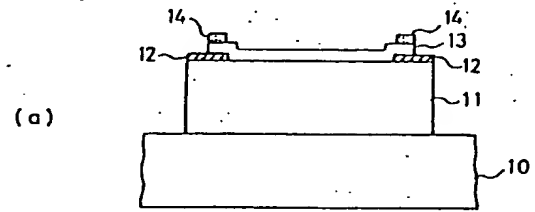
1…リードフレーム、2…半導体素子、3…シリコン酸化膜、4、6…アルミニウム層、5…バナジウム層、7…電極パッド、8…パッシベーション

膜、9…銅ワイヤ。

出願人代理人 弁理士 鈴江武彦



第 1 図



第 2 図